

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 07325551
PUBLICATION DATE : 12-12-95

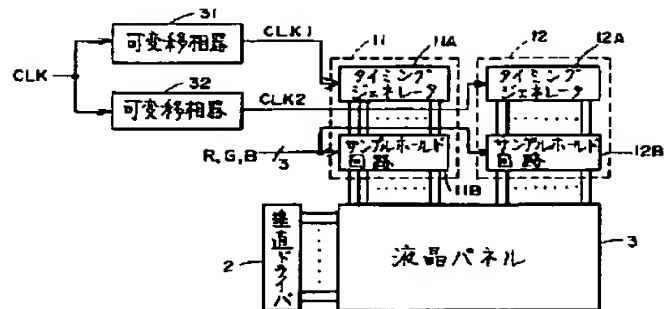
APPLICATION DATE : 01-06-94
APPLICATION NUMBER : 06119952

APPLICANT : SANYO ELECTRIC CO LTD;

INVENTOR : SASAKI TORU;

INT.CL. : G09G 3/20 G02F 1/133 G09G 3/36

TITLE : PIXEL ARRAY DISPLAY DEVICE



ABSTRACT : PURPOSE: To suppress the generation of a luminance difference and a decrease in contrast due to the delay of a sampling pulse signal.

CONSTITUTION: A horizontal driver 11 includes a timing generator 11A and a sample holding circuit 11B. A horizontal driver 12 includes a timing generator 12% and a sample holding circuit 12B. Analog R, G, and B signals R, G, and B are supplied to sample holding circuits 11B and 12B respectively. A clock signal CLK is passed through variable phase shifters 31 and 32 and supplied as phase-shifted clock signals CLK1 and CLK2 to the timing generators. Consequently, the phases of the clock signals CLK1 and CLK2 supplied to the timing generators 11A and 12A are adjusted. The sampling points of the analog R, G, and B signals R, G, and B are therefore adjusted to proper points.

COPYRIGHT: (C)1995,JPO

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-325551

(43) 公開日 平成7年(1995)12月12日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 9 G 3/20

K 0550-5G

R 0550-5G

G 0 2 F 1/133

5 0 5

G 0 9 G 3/36

審査請求 未請求 請求項の数 5 O L (全 14 頁)

(21) 出願番号

特願平6-119952

(22) 出願日

平成6年(1994)6月1日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 佐々木 徹

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

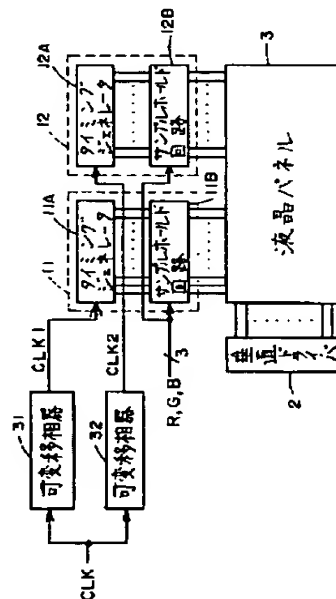
(74) 代理人 弁理士 深見 久郎 (外3名)

(54) 【発明の名称】 画素配列表示装置

(57) 【要約】

【目的】 サンプリングパルス信号の遅延に起因する輝度差の発生およびコントラストの低下を抑制する。

【構成】 水平ドライバ11は、タイミングジェネレータ11Aおよびサンプルホールド回路11Bを含む。水平ドライバ12は、タイミングジェネレータ12Aおよびサンプルホールド回路12Bを含む。アナログR、G、B信号R、G、Bは、サンプルホールド回路11B、12Bのそれぞれに供給される。クロック信号CLKは、可変移相器31、32を経て、移相されたクロック信号CLK1、CLK2としてタイミングジェネレータ11A、12Aに供給される。これにより、タイミングジェネレータ11A、12Aに供給されるクロック信号CLK1、CLK2の位相が調節される。したがって、アナログR、G、B信号R、G、Bのサンプリング点が適正に調節される。



【特許請求の範囲】

【請求項1】 画素を配列した表示手段と、

映像信号およびクロック信号を受け、これらの信号に
 1 応答して前記表示手段を駆動する駆動手段とを備え、

前記駆動手段は、

前記クロック信号に
 2 応答して、前記表示手段の所定方向に並ぶ画素のそれぞれに対応して前記映像信号をサンプリングするためのサンプリングパルス信号を発生させるパルス発生手段と、

前記サンプリングパルス信号に
 3 応答して、前記映像信号のサンプルホールドを前記表示手段の前記所定方向に並ぶ画素のそれぞれに対応して行ない、そのホールド値を前記表示手段に供給するサンプルホールド手段とを含み、

前記駆動手段に供給されるクロック信号の位相を調節する位相調節手段を備えた、画素配列表示装置。

【請求項2】 画素を配列した表示手段と、

映像信号およびクロック信号を受け、これらの信号に
 4 応答して前記表示手段を駆動する複数の駆動手段とを備え、

前記複数の駆動手段の各々は、

前記クロック信号に
 5 応答して、前記表示手段の所定方向に並ぶ画素のそれぞれに対応して前記映像信号をサンプリングするためのサンプリングパルス信号を発生させるパルス発生手段と、

前記サンプリングパルス信号に
 6 応答して、前記映像信号のサンプルホールドを前記表示手段の前記所定方向に並ぶ画素のそれぞれに対応して行ない、そのホールド値を前記表示手段に供給するサンプルホールド手段とを含み、

前記複数の駆動手段のそれぞれに対応して設けられ、各々が、対応する駆動手段に供給されるクロック信号の位相を調節する複数の位相調節手段を備えた、画素配列表示装置。

【請求項3】 画素を配列した表示手段と、

カスケード接続されてクロック信号を順次受けるとともに映像信号を受け、各々がこれらの信号に
 7 応答して前記表示手段を駆動する複数の駆動手段とを備え、

前記複数の駆動手段の各々は、

前記クロック信号に
 8 応答して、前記表示手段の所定方向に並ぶ画素のそれぞれに対応して前記映像信号をサンプリングするためのサンプリングパルス信号を発生させるパルス発生手段と、

前記サンプリングパルス信号に
 9 応答して、前記映像信号のサンプルホールドを前記表示手段の前記所定方向に並ぶ画素のそれぞれに対応して行ない、そのホールド値を前記表示手段に供給するサンプルホールド手段とを含み、

前記複数の駆動手段に供給されるクロック信号の位相を調節する位相調節手段を備え、

前記位相調節手段は、移相量が異なる複数の動作状態を有し、所定のタイミングでその動作状態を切換えることにより前記クロック信号の位相の調節量を変更する、画素配列表示装置。

【請求項4】 前記位相調節手段は、

異なる移相量を有し、各々が、前記クロック信号を移相させて出力する複数の移相手段と、

前記複数の移相手段のそれぞれから出力される移相されたクロック信号を選択的に前記複数の駆動手段に供給し、その選択状態を所定のタイミングで切換える切換え手段とを含む、請求項3記載の画素配列表示装置。

【請求項5】 画素を配列した第1の表示手段と、

画素を配列した第2の表示手段と、

画素を配列した第3の表示手段と、

第1の映像信号およびクロック信号を受け、これらの信号に
 10 応答して前記第1の表示手段を駆動する第1の駆動手段と、

第2の映像信号およびクロック信号を受け、これらの信号に
 11 応答して前記第2の表示手段を駆動する第2の駆動手段と、

第3の映像信号およびクロック信号を受け、これらの信号に
 12 応答して前記第3の表示手段を駆動する第3の駆動手段とを備え、

前記第1の駆動手段は、

前記クロック信号に
 13 応答して、前記第1の表示手段の所定方向に並ぶ画素のそれぞれに対応して前記第1の映像信号をサンプリングするための第1のサンプリングパルス信号を発生させる第1のパルス発生手段と、

前記第1のサンプリングパルス信号に
 14 応答して、前記第1の映像信号のサンプルホールドを前記第1の表示手段の前記所定方向に並ぶ画素のそれぞれに対応して行ない、そのホールド値を前記第1の表示手段に供給する第1のサンプルホールド手段とを含み、

前記第2の駆動手段は、

前記クロック信号に
 15 応答して、前記第2の表示手段の所定方向に並ぶ画素のそれぞれに対応して前記第2の映像信号をサンプリングするための第2のサンプリングパルス信号を発生させる第2のパルス発生手段と、

前記第2のサンプリングパルス信号に
 16 応答して、前記第2の映像信号のサンプルホールドを前記第2の表示手段の前記所定方向に並ぶ画素のそれぞれに対応して行ない、そのホールド値を前記第2の表示手段に供給する第2のサンプルホールド手段とを含み、

前記第3の駆動手段は、

前記クロック信号に
 17 応答して、前記第3の表示手段の所定方向に並ぶ画素のそれぞれに対応して前記第3の映像信号をサンプリングするための第3のサンプリングパルス信号を発生させる第3のパルス発生手段と、

前記第3のサンプリングパルス信号に
 18 応答して、前記第3の映像信号のサンプルホールドを前記第3の表示手段

の前記所定方向に並ぶ画素のそれぞれに対応して行ない、そのホールド値を前記第3の表示手段に供給する第3のサンプルホールド手段とを含み、

前記第1の駆動手段に供給されるクロック信号の位相を調節する第1の位相調節手段と、

前記第2の駆動手段に供給されるクロック信号の位相を調節する第2の位相調節手段と、

前記第3の駆動手段に供給されるクロック信号の位相を調節する第3の位相調節手段とを備えた、画素配列表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数のアナログドライバを用いて駆動される液晶ディスプレイおよびプラズマディスプレイなどの画素が配列された表示装置に関するものである。

【0002】

【従来の技術】従来、液晶ディスプレイおよびプラズマディスプレイ等の画素が配列された表示装置（以下フラットディスプレイと呼ぶ）が知られている。

【0003】前記フラットディスプレイのうちのたとえば液晶ディスプレイにおける液晶パネルの駆動回路には、映像信号を入力して画素信号を導出する水平ドライバと、線順次走査のための垂直ドライバとが用いられる。特にディスプレイの高精細化により画素が多く設けられた液晶ディスプレイの駆動回路においては、多数の画素に対応するために複数の水平ドライバが用いられている。

【0004】また、液晶パネルでの多色化および多階調化を実現するために、水平ドライバとして一般的にアナログドライバが用いられる。この場合、前記アナログドライバに中間階調に対応するアナログ電圧を印加することにより液晶パネルに中間階調を表示するようになっている。

【0005】図7は、従来の液晶パネルの駆動回路のブロック図である。図7を参照して、この液晶パネルの駆動回路は、第1の水平ドライバ11、第2の水平ドライバ12、垂直ドライバ2、液晶パネル3および映像処理回路5を含む。

【0006】液晶パネル3は、画素をマトリックス状に配列したものである。第1の水平ドライバ11は液晶パネル3の水平方向の左半分の画素に対応するものであり、第2の水平ドライバ12は右半分の画素に対応するものである。第1の水平ドライバ11は、タイミングジェネレータ11Aおよびサンプルホールド回路11Bを含む。第2の水平ドライバ12は、タイミングジェネレータ12Aおよびサンプルホールド回路12Bを含む。

【0007】サンプルホールド回路11B、12Bの各々は、スイッチSW、コンデンサCおよびバッファアンプBAを1組とした所定数の素子の組を含む。サンプル

ホールド回路11B、12Bにおける前記素子の組の合計数は、液晶パネル3の水平方向に配された画素数と同じ数だけ設けられる。

【0008】タイミングジェネレータ11A、12Aのそれぞれは、クロック信号CLKを受ける。サンプルホールド回路11B、12Bの各々は、映像処理回路5から出力されるアナログR、G、B信号R、G、BをスイッチSWのそれぞれの一端に受ける。

【0009】さらに、サンプルホールド回路11Bは、タイミングジェネレータ11Aの出力信号を各スイッチSWの制御信号として受ける。サンプルホールド回路12Bは、タイミングジェネレータ12Aの出力信号を各スイッチSWの制御信号として受ける。サンプルホールド回路11B、12Bの各々においては、スイッチSWの他端からの信号をバッファアンプBAおよびコンデンサCが受ける。

【0010】液晶パネル3は、垂直ドライバ2の出力信号と、第1の水平ドライバ11および第2の水平ドライバ12のそれぞれのバッファアンプBAからの出力信号を受ける。

【0011】次に、図7の液晶パネルの駆動回路の動作について説明する。映像処理回路5においてγ補正等の映像処理がなされたアナログ映像信号としてのアナログR、G、B信号R、G、Bが、サンプルホールド回路11B、12Bのそれぞれに入力される。また、クロック信号CLKがタイミングジェネレータ11A、12Aのそれぞれに入力される。

【0012】タイミングジェネレータ11A、12Aのそれぞれは、入力されたクロック信号CLKに基づいてアナログR、G、B信号R、G、Bの周波数と同じ周波数のサンプリングパルス信号を発生させる。前記サンプリングパルス信号は、タイミングジェネレータ11Aからサンプルホールド回路11Bに与えられるとともにタイミングジェネレータ12Aからサンプルホールド回路12Bに与えられる。

【0013】サンプルホールド回路11B、12Bの各々においては、サンプリングパルス信号の立上がりおよび立下りのそれぞれのタイミングによって各スイッチSWが閉成され、アナログR、G、B信号R、G、Bのサンプリング値が、対応するコンデンサCにホールドされる。

【0014】このような信号のホールド動作は、1水平期間において行なわれる。そして、次の水平期間において、コンデンサCのホールド値が、対応するバッファアンプBAを介して、線順次で液晶パネル3に向けて出力される。

【0015】液晶パネル3では、第1の水平ドライバ11および第2の水平ドライバ12による水平走査と、垂直ドライバ2による垂直走査とに基づいてアナログR、G、B信号R、G、Bに基づく画像を表示する。

【0016】

【発明が解決しようとする課題】ところが、前述した図7に示される駆動回路を有するフラットディスプレイにおいては、次のような問題があった。以下にその問題について説明する。図8は、図7の液晶パネルの駆動回路における主要な信号波形を示すタイミングチャートである。

【0017】図8においては、アナログR、G、B信号R、G、B、サンプリングパルス信号SPおよびクロック信号CLKが、第1および第2の水平ドライバ11、12のそれぞれについて示される。図8において、x-x線の左側が第1の水平ドライバ11についての波形図であり、その右側が第2の水平ドライバ12についての波形図である。

【0018】また、サンプリングパルス信号SPは、クロック信号CLKの1パルスごとに、サンプルホールド回路11B、12BのスイッチSWのそれぞれに順次1パルスずつ与えられるものである。

【0019】しかし、図8においては、サンプリングパルス信号SPと、アナログR、G、B信号R、G、Bおよびクロック信号CLKとの対応関係を明らかにするために各スイッチSWに与えられるサンプリングパルス信号SPを時系列的に合成して示してある。

【0020】図7の第1および第2の水平ドライバ11、12のそれぞれは、アナログドライバであるため、*

$$VA = 2.5 \sin\left(\frac{1}{2}\pi + 5(n_1) \times 15(MHz) \times 2\pi\right) + 2.5 \approx 4.73(V) \quad \dots(1)$$

【0025】また、第2の水平ドライバ側の最大値のサンプリング点Bにおける電位VBは下記(2)式で表わされる値となる。

※30

$$VB = 2.5 \sin\left(\frac{1}{2}\pi + 15(n_2) \times 15(MHz) \times 2\pi\right) + 2.5 \approx 2.89(V) \quad \dots(2)$$

【0027】このように、第1および第2の水平ドライバ間でサンプリングパルス信号SPに遅延差があると、サンプリングされた最大値において大きな電位差が生じる。その結果、液晶パネル3の画面の左右で輝度差が生じるという問題がある。

★

$$VC = 2.5 \sin\left(\frac{3}{2}\pi + 5(n_3) \times 15(MHz) \times 2\pi\right) + 2.5 \approx 0.27(V) \quad \dots(3)$$

【0030】また、第2の水平ドライバ側の最小値のサンプリング点Dにおける電位VDは下記(4)式で表わされる値となる。

☆

$$VD = 2.5 \sin\left(\frac{3}{2}\pi + 15(n_4) \times 15(MHz) \times 2\pi\right) + 2.5 \approx 2.11(V) \quad \dots(4)$$

【0032】ここで、サンプリング点B-D間の電位差に注目すると、アナログR、G、B信号R、G、Bの振幅が5Vp-pであるのに対して、B-D間の電位差は0.78Vでしかない。その結果、液晶パネル3の画面においてコントラストが低下するという問題がある。

【0033】また、R、G、B信号のそれぞれに対応し

*そのアナログドライバを構成する回路の回路定数等の電気的特性によりサンプルホールド回路11B、12Bのそれぞれに供給されるサンプリングパルス信号SPは、図8に示されるようにクロック信号CLKに対して遅延する。

【0021】また、第1および第2の水平ドライバ11、12が異なるLSIチップに設けられている場合には、LSIチップ間での電気的特性が異なる。このような場合においては、LSIチップ間での電気的特性の相違によって、サンプルホールド回路11Bに供給されるサンプリングパルス信号SPと、サンプルホールド回路12Bに供給されるサンプリングパルス信号SPとの遅延差は、一般的に10ns以上となる。

【0022】ここで、図7の第1および第2の水平ドライバ11、12におけるクロック信号CLKに対するサンプリングパルス信号SPの遅延量をそれぞれ5ns、15nsと仮定する。そして、アナログR、G、B信号R、G、Bが2.5Vのバイアスを有し、周波数15MHz、振幅5Vp-pの正弦波であると仮定する。

【0023】この場合、図8における第1の水平ドライバ側のアナログR、G、B信号R、G、Bの最大値のサンプリング点Aにおける電位VAは下記(1)式で表わされる値となる。

【0024】

【数1】

※【0026】

【数2】

★【0028】一方、第1の水平ドライバ側の最小値のサンプリング点Cにおける電位VCは下記(3)式で表わされる値になる。

【0029】

【数3】

40 ☆【0031】

【数4】

て3枚の液晶パネルを使用する液晶プロジェクタなどの表示装置では、液晶パネルごとに水平ドライバが必要となる。このような表示装置では、アナログR、G、B信号の各信号用の水平ドライバのサンプリングパルス信号の遅延差が生じると、白バランスが崩れてしまうという問題がある。

【0034】本発明は、このような問題を解消するためになされたものであり、サンプリングパルス信号の遅延に起因する輝度差の発生およびコントラストの低下を抑制することを可能とする画素配列表示装置を提供することを目的とする。

【0035】

【課題を解決するための手段】請求項1に記載の本発明は、画素配列表示装置であって、画素を配列した表示手段、駆動手段および位相調節手段を備え、駆動手段がパルス発生手段およびサンプルホールド手段を含む。

【0036】駆動手段は、映像信号およびクロック信号を受け、これらの信号に応答して表示手段を駆動する。

【0037】駆動手段に含まれるパルス発生手段は、クロック信号に応答して表示手段の所定方向に並ぶ画素のそれぞれに対応して映像信号をサンプリングするためのサンプリングパルス信号を発生させる。

【0038】駆動手段に含まれるサンプルホールド手段は、サンプリングパルス信号に応答して、映像信号のサンプルホールドを表示手段の前記所定方向に並ぶ画素のそれぞれに対応して行ない、そのホールド値を表示手段に供給する。

【0039】位相調節手段は、駆動手段に供給されるクロック信号の位相を調節する。請求項2に記載の本発明は、画素配列表示装置であって、画素を配列した表示手段、複数の駆動手段および複数の位相調節手段を備え、複数の駆動手段の各々がパルス発生手段およびサンプルホールド手段を含む。

【0040】複数の駆動手段の各々は、映像信号およびクロック信号を受け、これらの信号に応答して表示手段を駆動する。

【0041】複数の駆動手段の各々に含まれるパルス発生手段は、クロック信号に応答して表示手段の所定方向に並ぶ画素のそれぞれに対応して映像信号をサンプリングするためのサンプリングパルス信号を発生させる。

【0042】複数の駆動手段の各々に含まれるサンプルホールド手段は、サンプリングパルス信号に応答して、映像信号のサンプルホールドを表示手段の所定方向に並ぶ画素のそれぞれに対応して行ない、そのホールド値を表示手段に供給する。

【0043】複数の位相調節手段は、複数の駆動手段のそれぞれに対応して設けられ、各々が、対応する駆動手段に供給されるクロック信号の位相を調節する。

【0044】請求項3に記載の本発明は、画素配列表示装置であって、画素を配列した表示手段、複数の駆動手段および位相調節手段を備え、複数の駆動手段の各々がパルス発生手段およびサンプルホールド手段を含む。

【0045】複数の駆動手段は、カスケード接続されてクロック信号を順次受けるとともに映像信号を受け、各々が、これらの信号に応答して表示手段を駆動する。

【0046】複数の駆動手段の各々に含まれるパルス発

生手段は、クロック信号に応答して、表示手段の所定方向に並ぶ画素のそれぞれに対応して映像信号をサンプリングするためのサンプリングパルス信号を発生させる。

【0047】複数の駆動手段の各々に含まれるサンプルホールド手段は、サンプリングパルス信号に応答して、映像信号のサンプルホールドを表示手段の所定方向に並ぶ画素のそれぞれに対応して行ない、そのホールド値を表示手段に供給する。

【0048】位相調節手段は、位相量が異なる複数の動作状態を有し、所定のタイミングでその動作状態を切換ることによりクロック信号の位相の調節量を変更し、これにより、複数の駆動手段に供給されるクロック信号の位相を調節する。

【0049】請求項4に記載の本発明は、画素配列表示装置であって、請求項3に記載の発明の位相調節手段が、複数の移相手段および切換手段を含む。

【0050】複数の移相手段は、異なる移相量を有し、各々が、クロック信号を移相させて出力する。切換手段は、複数の駆動手段のそれぞれから出力される移相されたクロック信号を選択的に複数の駆動手段に供給し、その選択状態を所定のタイミングで切換える。

【0051】請求項5に記載の本発明は、画素配列表示装置であって、画素を配列した第1の表示手段、画素を配列した第2の表示手段、画素を配列した第3の表示手段、第1の駆動手段、第2の駆動手段、第3の駆動手段、第1の位相調節手段、第2の位相調節手段および第3の位相調節手段を備え、第1の駆動手段が第1のパルス発生手段および第1のサンプルホールド手段を含み、第2の駆動手段が第2のパルス発生手段および第2のサンプルホールド手段を含み、第3の駆動手段が第3のパルス発生手段および第3のサンプルホールド手段を含む。

【0052】第1の駆動手段は、第1の映像信号およびクロック信号を受け、これらの信号に応答して第1の表示手段を駆動する。第2の駆動手段は、第2の映像信号およびクロック信号を受け、これらの信号に応答して第2の表示手段を駆動する。第3の駆動手段は第3の映像信号およびクロック信号を受け、これらの信号に応答して第3の表示手段を駆動する。

【0053】第1の駆動手段に含まれる第1のパルス発生手段は、クロック信号に応答して第1の表示手段の所定方向に並ぶ画素のそれぞれに対応して第1の映像信号をサンプリングするための第1のサンプリングパルス信号を発生させる。第1の駆動手段に含まれる第1のサンプルホールド手段は、第1のサンプリングパルス信号に応答して、第1の映像信号のサンプルホールドを第1の表示手段の所定方向に並ぶ画素のそれぞれに対応して行ない、そのホールド値を第1の表示手段に供給する。

【0054】第2の駆動手段に含まれる第2のパルス発生手段は、クロック信号に応答して第2の表示手段の所

定方向に並ぶ画素のそれぞれに対応して第2の映像信号をサンプリングするための第2のサンプリングパルス信号を発生させる。第2の駆動手段に含まれる第2のサンプルホールド手段は、第2のサンプリングパルス信号に
10 応答して、第2の映像信号のサンプルホールドを第2の表示手段の所定方向に並ぶ画素のそれぞれに対応して行い、そのホールド値を第2の表示手段に供給する。

【0055】第3の駆動手段に含まれる第3のパルス発生手段は、クロック信号に
15 応答して第3の表示手段の所定方向に並ぶ画素のそれぞれに対応して第3の映像信号をサンプリングするための第3のサンプリングパルス信号を発生させる。第3の駆動手段に含まれる第3のサンプルホールド手段は、第3のサンプリングパルス信号に
20 応答して、第3の映像信号のサンプルホールドを第3の表示手段の所定方向に並ぶ画素のそれぞれに対応して行い、そのホールド値を第3の表示手段に供給する。

【0056】第1の位相調節手段は、第1の駆動手段に供給されるクロック信号の位相を調節する。第2の位相調節手段は、第2の駆動手段に供給されるクロック信号の位相を調節する。第3の位相調節手段は、第3の駆動手段に供給されるクロック信号の位相を調節する。
25

【0057】

【作用】請求項1に記載の本発明によれば、駆動手段においてパルス発生手段が、入力されるクロック信号に
30 応答してサンプリングパルス信号を発生させる。そして、サンプルホールド手段がサンプリングパルス信号に
35 応答してサンプリングしたクロック信号を表示手段に供給する。駆動手段に供給されるクロック信号は、位相調節手段により位相が調節される。その位相の調節によって、映像信号におけるサンプリング点を調節することが可能である。

【0058】請求項2に記載の本発明によれば、各駆動手段に供給されるクロック信号は、対応する位相調節手段によって位相が調節される。そして、各駆動手段においては、パルス発生手段が、位相を調節されたクロック信号に
40 応答して、サンプリングパルス信号を発生させる。そして、サンプルホールド手段がサンプリングパルス信号に
45 応答してサンプリングした映像信号を表示手段に供給する。このようなクロック信号の位相の調節によって、映像信号におけるサンプリング点を調節することが可能である。

【0059】請求項3に記載の本発明によれば、複数の駆動手段がカスケード接続されているため、各駆動手段は、クロック信号を順次受ける。位相調節手段は、たとえば、サンプルホールドをする駆動手段が切替わる所定のタイミングでその動作状態を切替える。このような動作状態の切替えにより、位相調節手段は、クロック信号の移相量を切替える。このため、各駆動手段に対応してクロック信号の位相が調節される。

【0060】カスケード接続された複数の駆動手段の各

々においては、入力されるクロック信号に
50 応答して、パルス発生手段がサンプリングパルス信号を発生する。そして、サンプルホールド手段がサンプリングパルス信号に
55 応答してサンプリングした映像信号を表示手段に供給する。

【0061】このように、位相調節手段によって、クロック信号の位相が調節されるため、映像信号におけるサンプリング点を駆動手段ごとに調整することが可能である。

【0062】請求項4に記載の本発明によれば、複数の駆動手段がカスケード接続されているため、各駆動手段は、クロック信号を順次受ける。そのクロック信号は、位相調節手段により位相が調節される。位相調節手段においては、複数の移相手段のそれぞれが、移相がなされたクロック信号を出力する。これらのクロック信号は、移相量が異なるため、位相の調節量が異なる。

【0063】そして、位相調節手段においては、切替手段が、複数の移相手段から出力された移相されたクロック信号を選択的に駆動手段に供給する。その場合の移相されたクロック信号は、たとえば、サンプルホールドを行なう駆動手段が切替わる所定のタイミングで切替えられる。このため、各駆動手段に対応してクロック信号の位相が調節される。

【0064】カスケード接続された複数の駆動手段の各々においては、入力されるクロック信号に
60 応答して、パルス発生手段がサンプリングパルス信号を発生する。そして、サンプルホールド手段がサンプリングパルス信号に
65 応答してサンプリングした映像信号を表示手段に供給する。

【0065】このように、位相調節手段によりクロック信号の位相が調節されるため、映像信号におけるサンプリング点を駆動手段ごとに調節することが可能である。

【0066】請求項5に記載の本発明によれば、第1の駆動手段において第1のパルス発生手段が、入力されるクロック信号に
70 応答して第1のサンプリングパルス信号を発生させる。そして、第1のサンプルホールド手段が第1のサンプリングパルス信号に
75 応答してサンプリングした第1の映像信号を第1の表示手段に供給する。

【0067】第2の駆動手段において第2のパルス発生手段が、入力されるクロック信号に
80 応答して第2のサンプリングパルス信号を発生させる。そして、第2のサンプルホールド手段が第2のサンプリングパルス信号に
85 応答してサンプリングした第2の映像信号を第2の表示手段に供給する。

【0068】第3の駆動手段において第3のパルス発生手段が、入力されるクロック信号に
90 応答して第3のサンプリングパルス信号を発生させる。そして、第3のサンプルホールド手段が第3のサンプリングパルス信号に
95 応答してサンプリングした第3の映像信号を第3の表示手段に供給する。

【0069】第1、第2および第3の駆動手段に供給されるクロック信号のそれぞれは、第1、第2および第3の位相調節手段により位相が調節される。その位相の調節によって、第1、第2および第3の映像信号の各々におけるサンプリング点を調節することが可能である。

【0070】

【実施例】次に本発明の実施例を図面に基いて詳細に説明する。

【0071】第1実施例

図1は、第1実施例によるフラットディスプレイを構成する回路の要部の概略構成を示すブロック図である。

【0072】図1を参照して、このフラットディスプレイの回路には、チューナ（図示せず）から入力され、映像検波回路（図示せず）を経た復号映像信号VSと、外部入力端子（図示せず）から入力された映像信号としてのアナログR、G、B信号R1、G1、B1および同期信号SY1とが供給される。

【0073】このフラットディスプレイの回路は、クロマカラー復調回路41、同期分離回路42、タイミング制御回路43、切換スイッチ44、44、44、45、映像処理回路5、可変移相器31、32、水平ドライバ1、垂直ドライバ2および液晶パネル3を含む。

【0074】水平ドライバ1は、第1の水平ドライバ11および第2の水平ドライバ12を含む。映像処理回路5は、ユーザコントロール回路51、 γ 補正回路52、極性切替回路53およびバッファアンプ54を含む。

【0075】復号映像信号VSは、クロマカラー復調回路41および同期分離回路42に供給される。

【0076】クロマカラー復調回路41は、復号映像信号VSを復調し、アナログR、G、B信号R2、G2、B2を発生させる。このアナログR、G、B信号R2、G2、B2のそれぞれは、色差信号と輝度信号とを合成することによって生成されるものである。アナログR、G、B信号R2、G2、B2のそれぞれは、切換スイッチ44、44、44にそれぞれが供給される。

【0077】この切換スイッチ44、44、44には、アナログR、G、B信号R1、G1、B1も供給される。スイッチ44、44、44のそれぞれは、所定の制御信号によって同時に切換わるものである。

【0078】スイッチ44、44、44は、その動作によって、アナログR、G、B信号R1、G1、B1およびR2、G2、B2のいずれか一方の組を、液晶パネル3に表示させるためのアナログR、G、B信号R、G、Bとしてユーザコントロール回路51に供給する。

【0079】ユーザコントロール回路51は、液晶パネル3に表示される画像のコントラスト、ブライトおよびティントのそれぞれを使用者の好みに応じて調整する回路である。このユーザコントロール回路51には、コントラスト制御信号S1、ブライト制御信号S2およびティント制御信号S3が供給される。

【0080】ユーザコントロール回路51では、コントラスト制御信号S1、ブライト制御信号S2およびピント制御信号S3のそれぞれに応じて、アナログR、G、B信号R、G、Bについて、コントラスト、ブライトおよびティントの調整処理を行なう。

【0081】その調整処理後のアナログR、G、B信号R、G、Bは、 γ 補正回路52、極性切替回路53およびバッファアンプ54を経て出力される。その出力信号は、水平ドライバ1の第1および第2の水平ドライバ11、12のそれぞれに供給される。

【0082】アナログR、G、B信号R、G、Bについて、 γ 補正回路52では γ 補正処理が行なわれる。そして、極性切替回路53では信号の極性切替処理が行なわれる。そして、バッファアンプ54ではアナログR、G、B信号R、G、Bが増幅される。

【0083】同期分離回路42は、複合映像信号VSから同期信号SY2を分離し、分離した同期信号SY2を切換スイッチ45へ供給する。この切換スイッチ45には、同期信号SY1も供給される。切換スイッチ45は、スイッチ44に供給される制御信号と同じ制御信号に応じて切換わるものであり、その動作によって、同期信号SY1、SY2の一方を選択的にタイミング制御回路43に供給する。

【0084】これにより、切換スイッチ44においてアナログR、G、B信号R1、G1、B1が選択される場合は切換スイッチ45において同期信号SY1が選択され、逆に、切換スイッチ44においてアナログR、G、B信号R2、G2、B2が選択される場合は切換スイッチ45において同期信号SY2が選択される。

【0085】タイミング発生回路43は、供給された同期信号に基づいて、水平ドライバ1における第1および第2の水平ドライバ11、12と、垂直ドライバ2とを駆動するためのクロック信号を発生させる。そのクロック信号は、垂直ドライバ2に供給され、かつ、可変移相器31を介して第1の水平ドライバ11に供給されるとともに、可変移相器32を介して第2の水平ドライバ12に供給される。

【0086】次に、液晶パネル3の駆動回路について詳細に説明する。図2は、第1実施例による液晶パネルの駆動回路のブロック図である。図2において図7と一致する部分には同一の参照符号を付し、その説明を省略する。

【0087】図2の駆動回路が図7の駆動回路と異なるのは、タイミングジェネレータ11Aに供給されるクロック信号の信号線に可変移相器31が設けられ、タイミングジェネレータ12Aに供給されるクロック信号の信号線に可変移相器32が設けられていることである。

【0088】可変移相器31および32には、たとえば、可変遅延線またはRC移相器が用いられる。動作において、クロック信号CLKは、可変移相器31によ

て所定量位相が進められ（または所定量位相が遅延され）、クロック信号CLK1としてタイミングジェネレータ11Aに供給される。また、クロック信号CLKは、可変移相器32によって所定量位相が進められ（または所定量位相が遅延され）、クロック信号CLK2としてタイミングジェネレータ12Aに供給される。可変移相器32は、その移相量が可変移相器31の移相量よりも大きく設定される。

【0089】図3は、図2の液晶パネルの駆動回路における主要な信号波形を示すタイミングチャートである。

【0090】図3においては、アナログR、G、B信号R、G、B、サンプリングパルス信号SP、クロック信号CLK1およびCLK2が示される。

【0091】図3においては、x-x線の左側が第1の水平ドライバ11についての波形図であり、その右側が第2の水平ドライバ12についての波形図である。この図3においても、図8と同様にサンプリングパルス信号SPを時系列的に合成して示してある。

【0092】ここで、第1の水平ドライバ11におけるサンプリングパルス信号SPのクロック信号CLK1に対する遅延量が5nsであり、第2の水平ドライバ12におけるクロック信号CLK2に対するサンプリングパルス信号SPの遅延量が15nsであると仮定する。また、アナログR、G、B信号R、G、Bが、2.5Vのバイアスを有する周波数15MHzおよび振幅5Vppの正弦波であると仮定する。

【0093】この仮定条件は、前述した(1)～(4)式の条件と同じである。したがって、クロック信号CLKをそのまま第1の水平ドライバ11および第2の水平ドライバ12に供給する場合は、図8に示されるように、サンプリングパルス信号SPの遅延に起因して液晶パネル3の左右画面の輝度差およびコントラストの低下が生じることになる。

【0094】図2の回路においては、可変移相器31による位相の進み量を5nsに設定する。すなわち、可変移相器31における位相の進み量は、第1の水平ドライバ11におけるサンプリングパルス信号SPの遅延量をなくするような値に設定される。

【0095】また、可変移相器32による移相の進み量を15nsに設定する。すなわち、可変移相器32における位相の進み量は、第2の水平ドライバ12におけるサンプリングパルス信号SPの遅延量をなくするような値に設定される。

【0096】このような設定が可変移相器31および32においてなされた場合、クロック信号CLK1の位相は、クロック信号CLKに対して5n進められ、クロック信号CLK2の位相は、クロック信号CLKに対して15ns進められる。

【0097】このため、このようにクロック信号CLKに対して位相が進められたクロック信号CLK1および

CLK2のそれぞれに基づくサンプリングパルス信号SPは、それぞれ遅延が解消される。

【0098】したがって、第1の水平ドライバ11におけるアナログR、G、B信号R、G、Bの最大値のサンプリング点Eの電位は5Vとなる。そして、その最小値のサンプリング点Gにおける電位は0Vとなる。

【0099】さらに、第2の水平ドライバにおけるアナログR、G、B信号R、G、Bの最大値のサンプリング点Fにおける電位は5Vとなる。そして、その最小値のサンプリング点Hにおける電位は0Vとなる。

【0100】このように、サンプリング点E、F間の電位差がなくなるため、液晶パネル3の左右画面間の輝度差が生じない。さらに、サンプリング点E-G間の電位差およびサンプリング点F-H間の電位差がともに5Vppになるため、コントラストが全く損なわれない。

【0101】この第1の実施例においては、可変移相器31によりクロック信号CLKの位相を5nsだけ進め、可変移相器32によりクロック信号CLKの位相を15nsだけ進める例について説明したが、その場合と同様の効果は、クロック信号CLKの位相を所定量遅延させることによってでも得られる。

【0102】具体的には、前述のような条件下において、可変移相器31によりクロック信号CLKの位相を71.7nsだけ遅延させ、可変移相器32によりクロック信号CLKの位相を81.7nsだけ遅延させればよい。

【0103】第2実施例

次に第2実施例について説明する。第2実施例においては、カスケード接続された水平ドライバを備えたディスプレイ装置において、サンプリングパルスの遅延による輝度差の発生およびコントラストの低下のそれぞれを解消する例について説明する。

【0104】図4は、第2実施例による液晶パネルの駆動回路のブロック図である。図4の回路が図2のものと異なるのは、水平ドライバ11と水平ドライバ12とがカスケード接続されていることおよび可変移相器31、32の代わりに1つの可変移相器30が設けられていることである。

【0105】水平ドライバ11および12においては、タイミングジェネレータ11Aとタイミングジェネレータ12Aとがカスケード接続される。クロック信号は、まずタイミングジェネレータ11Aに供給され、そして、タイミングジェネレータ11Aを経てタイミングジェネレータ12Aに供給される。

【0106】したがって、タイミングジェネレータ11Aおよび12Bは、1つの経路から供給されるクロック信号に依存して動作する。これらのタイミングジェネレータ11および12の基本的な動作は、図2に示されたものと同じである。

【0107】可変移相器30には、たとえば、移相量を

変更することが可能な可変遅延線またはRC移相器が用いられる。この可変移相器30は、動作において、第1の移相量を有する第1の動作状態と、第2の移相量を有する第2の動作状態とを選択的に形成する。

【0108】この場合の第1の移相量は、図2の可変移相器31に設定される移相量と同じである。この場合の第2の移相量は、図2の可変移相器32に設定される移相量と同じである。

【0109】可変移相器30は、切換信号φ1を受け、その切換信号φ1にตอบสนองして動作状態を切換える。制御信号φ1は、サンプルホールドを行なう対象の水平ドライバが、水平ドライバ11から水平ドライバ12に移行するタイミングに同期して信号の状態が変化する。

【0110】このような切換信号φ1の信号状態の変化にตอบสนองして、可変移相器30は、動作状態を第1の動作状態から第2の動作状態に切換える。これにより、可変移相器30においては、移相量の設定が第1の移相量から第2の移相量に切換わる。

【0111】次に、図4の液晶パネル駆動回路の動作について説明する。可変移相器30は、クロック信号CLKの位相を調節し、そのクロック信号を水平ドライバ11に供給する。水平ドライバ11に供給されたクロック信号は、水平ドライバ11から水平ドライバ12に供給される。これにより、水平ドライバ11が先にサンプルホールドを開始し、その後、水平ドライバ12がサンプルホールドを開始する。

【0112】水平ドライバ11がサンプルホールドをしている時点では、可変移相器30に設定された第1の移相量だけ、クロック信号CLKの移相が行なわれる。そして、水平ドライバ12がサンプルホールドを開始する時点で、可変移相器30の移相量の設定が第1の移相量から第2の移相量に切換わる。

【0113】このため、水平ドライバ11は、第1の移相量だけ移相が行なわれたクロック信号に基づいてサンプルホールドを行ない、水平ドライバ12は、第2の移相量だけ移相が行なわれたクロック信号に基づいてサンプルホールドを行なう。

【0114】したがって、この第2実施例による液晶パネル駆動回路においては、第1実施例に示される液晶パネル駆動回路と同様の効果が得られる。このため、この第2実施例によれば、カスケード接続された水平ドライバを備えたディスプレイ装置において、サンプリングパルスの遅延による輝度差の発生およびコントラストの低下を防ぐことができる。

【0115】第3実施例

次に、第3実施例について説明する。この第3実施例においては、カスケード接続された水平ドライバを備えたディスプレイ装置において、水平ドライバに供給するクロック信号の位相を調節する部分のその他の例について説明する。図5は、第3実施例による液晶パネル駆動回

路のブロック図である。図5の液晶パネル駆動回路が図4のものと異なるのは、位相調節回路300の部分である。この位相調節回路300は、図4の可変移相器30と同じ働きをするものであり、可変移相器31、32および切換スイッチ33を含む。

【0116】可変移相器31および32のそれぞれは、図2に示されたものと同様のものである。したがって、可変移相器31には、第1の移相量が設定されており、可変移相器32には第2の移相量が設定されている。可変移相器31は、クロック信号CLKを第1の移相量だけ移相し、その移相が行なわれたクロック信号CLK1を切換スイッチ33に供給する。可変移相器32は、クロック信号CLKを第2の移相量だけ移相し、その移相が行なわれたクロック信号CLK2を切換スイッチ33に供給する。

【0117】切換スイッチ33は、クロック信号CLK1およびCLK2の他に制御信号φ1を受ける。この制御信号φ1は、図4に示されるものと同じものである。切換スイッチ33は、制御信号φ1にตอบสนองして、クロック信号CLK1およびCLK2を選択的にタイミングジェネレータ11Aに供給する。

【0118】次に、図5の液晶パネル駆動回路の動作について説明する。水平ドライバ11がサンプルホールドしている時点では、切換スイッチ33は、クロック信号CLK1を選択し、その信号をタイミングジェネレータ11Aに供給する。そして、水平ドライバ12がサンプルホールドを開始する時点で、切換スイッチ33は、制御信号φ1の変化にตอบสนองして、クロック信号CLK2を選択し、その信号をタイミングジェネレータ11Aに供給する。

【0119】これにより、水平ドライバ11は、第1の移相量だけ移相が行なわれたクロック信号CLK1に基づいてサンプルホールドを行ない、水平ドライバ12は、第2の移相量だけ移相が行なわれたクロック信号CLK2に基づいてサンプルホールドを行なう。

【0120】このため、第3実施例による液晶パネル駆動回路においては、第2実施例による液晶パネル駆動回路と同様の効果が得られる。

【0121】第4実施例

次に第4実施例について説明する。この第4実施例においては、第2実施例で用いた可変移相器30を、3枚の液晶パネルを用いたディスプレイ装置（以下、3枚式の液晶パネルディスプレイと呼ぶ）に適用した例を示す。

【0122】このような3枚式の液晶パネルディスプレイの代表例としては、たとえば、液晶プロジェクタが挙げられる。この液晶プロジェクタでは、R、G、Bの各色信号ごとに液晶パネルに画像を形成し、それらを合成した画像をスクリーンに投影する。

【0123】図6は、第4実施例による液晶パネルの駆動回路のブロック図である。図6を参照して、水平ドラ

イバ110R、120R、垂直ドライバ2Rおよび液晶パネル3Rは、R信号用のものである。それらの構成は、図4に示されるものと同じである。水平ドライバ110Rにクロック信号CLKが伝送される信号線には可変移相器30Rが設けられる。これにより、可変移相器30Rによって移相されたクロック信号が水平ドライバ110Rに供給される。アナログR信号Rは、水平ドライバ110R、120Rのそれぞれに供給される。

【0124】水平ドライバ110G、120G、垂直ドライバ2Gおよび液晶パネル3Gは、G信号用のものである。それらの構成は、図4に示されるものと同じである。水平ドライバ110Gにクロック信号CLKが伝送される信号線には可変移相器30Gが設けられる。これにより、可変移相器30Gによって移相されたクロック信号が水平ドライバ110Gに供給される。アナログG信号Gは、水平ドライバ110G、120Gのそれぞれに供給される。

【0125】水平ドライバ110B、120B、垂直ドライバ2Bおよび液晶パネル3Bは、B信号用のものである。それらの構成は、図4に示されるものと同じである。水平ドライバ110Bにクロック信号CLKが伝送される信号線には可変移相器30Bが設けられる。これにより、可変移相器30Bによって移相されたクロック信号が水平ドライバ110Bに供給される。アナログB信号Bは、水平ドライバ110B、120Bのそれぞれに供給される。

【0126】可変移相器30R、30G、30Bの各々は、図4に示された可変移相器30と同様のものであり、それぞれは、共通の制御信号φ1に基づいて制御される。この3板式の液晶パネルディスプレイにおいては、アナログR、G、B信号R、G、Bのそれぞれに対応する画像が、液晶パネル3R、3G、3Bに色別に表示される。

【0127】このような3板式の液晶パネルディスプレイにおいても、可変移相器30R、30G、30Bのそれぞれの働きにより、水平ドライバ110R、110Gおよび110Bのそれぞれに供給されるクロック信号が遅延される。このため、第1～第3実施例による駆動回路と同様に、サンプリングパルス信号SPの遅延に起因する左右画面間の輝度差の発生およびコントラストの低下が抑制される。

【0128】さらに、この3板式の液晶パネルディスプレイにおいては、可変移相器30R、30G、30Bのそれぞれの働きにより、サンプリングパルス信号SPの遅延に起因する白バランスの変化が抑制される。

【0129】なお、以上の実施例においては、水平ドライバが複数設けられた例について説明したが、これに限らず、水平ドライバが1つである場合においても、アナログR、G、B信号を遅延させることにより、液晶パネルにおける左右画面の輝度差の発生およびコントラスト

の低下を適正に抑制することができる。

【0130】また、以上の実施例においては、液晶パネルディスプレイについて説明したが、この発明は、液晶パネルディスプレイに限らず、プラズマディスプレイ装置等のフラットディスプレイについても適用することが可能である。

【0131】

【発明の効果】請求項1に記載の本発明によれば、駆動手段に供給されるクロック信号の位相が位相調節手段により調節される。これにより、サンプルホールド手段のサンプリングパルス信号に基づく映像信号のサンプリング点が全体的に調節できる。したがって、各画素に対応するサンプリング点を映像信号のピーク値に近い部分に設定できる。このために、サンプリングパルス信号の遅延に起因する輝度差の発生およびコントラストの低下を抑制することができる。

【0132】請求項2に記載の本発明によれば、複数の駆動手段のそれぞれに供給されるクロック信号の位相が、対応する位相調節手段により調節される。これにより、駆動手段ごとにサンプルホールド手段のサンプリングパルス信号に基づく映像信号のサンプリング点が調節できる。

【0133】したがって、駆動手段ごとに、各画素に対応するサンプリング点を映像信号のピーク値に設定できる。このために、サンプリングパルス信号の遅延に起因する輝度差の発生およびコントラストの低下を抑制することができる。

【0134】請求項3に記載の本発明によれば、位相調節手段において、たとえば、サンプルホールドをする駆動手段が切替わる所定のタイミングで、動作状態が切換えられる。このため、移相量が異なるクロック信号が、カスケード接続された駆動手段に供給される。このため、駆動手段ごとに、供給されるクロック信号の位相が調節される。

【0135】これにより、駆動手段ごとに、サンプルホールド手段のサンプリングパルス信号に基づく映像信号のサンプリング点が調節できる。したがって、駆動手段ごとに、各画素に対応するサンプリング点を映像信号のピーク値に設定できる。このために、サンプリングパルス信号の遅延に起因する輝度差の発生およびコントラストの低下を抑制することができる。

【0136】請求項4に記載の本発明によれば、位相調節手段において、複数の移相手段により移相された、移相が異なる複数のクロック信号が、選択的に駆動手段に供給される。その選択の切換えは、たとえば、サンプルホールドをする駆動手段が切替わる所定のタイミングで行なわれる。

【0137】このため、移相量が異なるクロック信号が、カスケード接続された駆動手段に供給される。これにより、駆動手段ごとに、サンプルホールド手段のサン

プリングパルス信号に基づく映像信号のサンプリング点が調節できる。したがって、駆動手段ごとに、各画素に対応するサンプリング点を映像信号のピーク値に設定できる。このために、サンプリングパルス信号の遅延に起因する輝度差の発生およびコントラストの低下を抑制することができる。

【0138】請求項5に記載の本発明によれば、第1、第2および第3の駆動手段に供給されるクロック信号のそれぞれの位相が第1、第2および第3の位相調節手段により調節される。これにより、各駆動手段において、サンプルホールド手段のサンプリングパルス信号に基づく映像信号のサンプリング点が全体的に調節できる。したがって、第1、第2および第3の表示手段の各々における各画素に対応するサンプリング点を映像信号のピーク値に近い部分に設定できる。

【0139】このために、サンプリングパルス信号の遅延に起因する輝度差の発生およびコントラストの低下を各表示手段ごとに抑制することができる。さらに、第1、第2および第3の表示手段の映像を合成した場合の白バランスの変化を抑制することができる。

【図面の簡単な説明】

【図1】第1実施例によるフラットディスプレイを構成する回路の要部の概略構成を示すブロック図である。

【図2】第1実施例による液晶パネルの駆動回路のブ

ック図である。

【図3】図2の液晶パネルの駆動回路における主要な信号波形を示すタイミングチャートである。

【図4】第2実施例による液晶パネルの駆動回路のブロック図である。

【図5】第3実施例による液晶パネルの駆動回路のブロック図である。

【図6】第4実施例による液晶パネルの駆動回路のブロック図である。

10 【図7】従来の液晶パネルの駆動回路のブロック図である。

【図8】図7の液晶パネルの駆動回路における主要な信号波形を示すタイミングチャートである。

【符号の説明】

1, 11, 12, 110R, 120R, 110G, 120G, 110B, 120B 水平ドライバ

3, 3R, 3G, 3B 液晶パネル

30, 31, 32, 30R, 30G, 30B 可変移相器

20 11A, 12A タイミングジェネレータ

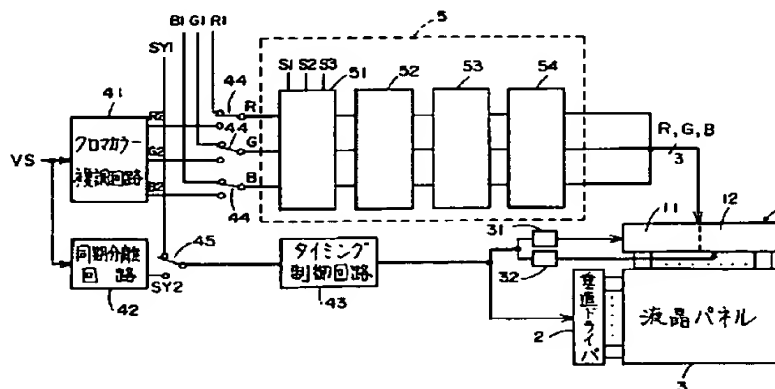
11B, 12B サンプルホールド回路

33 切換スイッチ

71, 72, 73 D/A変換回路

300 移相調節回路

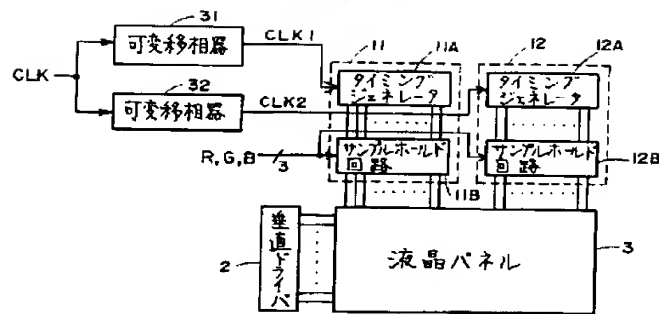
【図1】



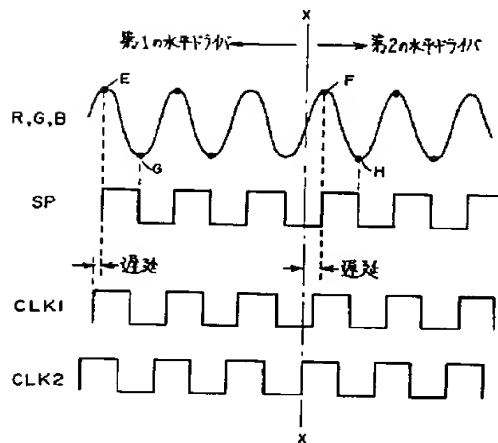
(12)

特開平7-325551

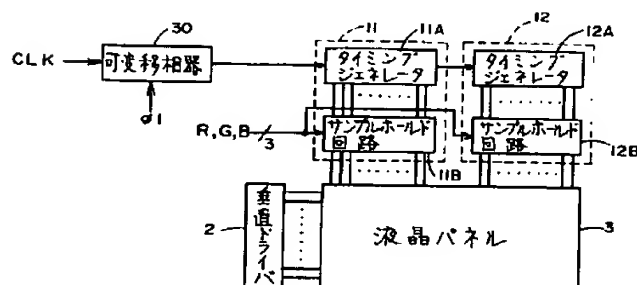
【図2】



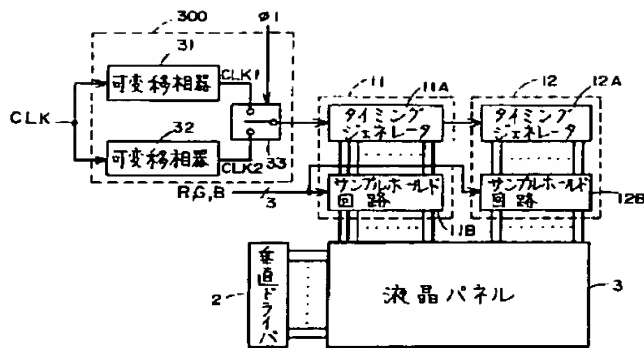
【図3】



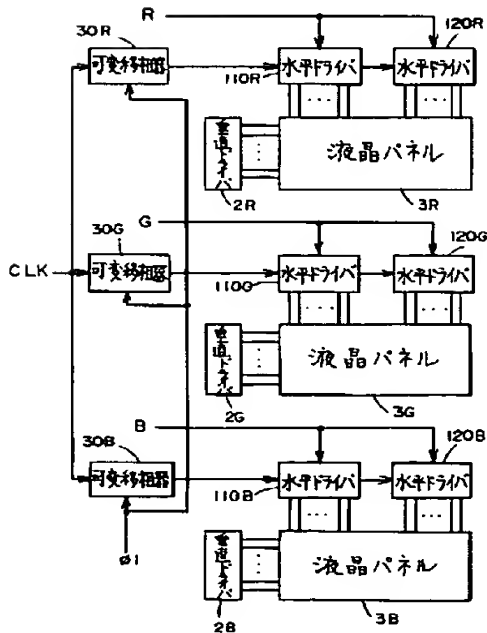
【図4】



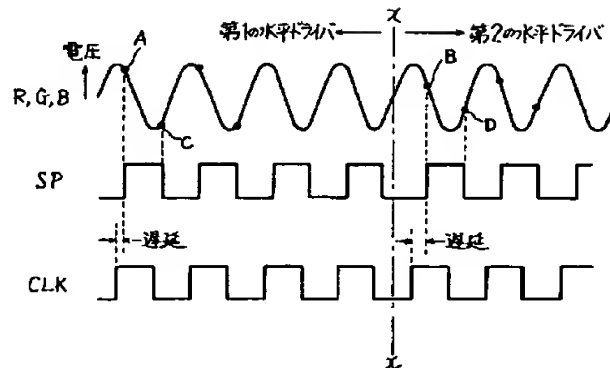
【図5】



【図6】



【図8】



(14)

特開平7-325551

【図7】

